



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **62023135 A**(43) Date of publication of application: **31.01.87**

(51) Int. Cl. **H01L 21/88**
H01L 23/28

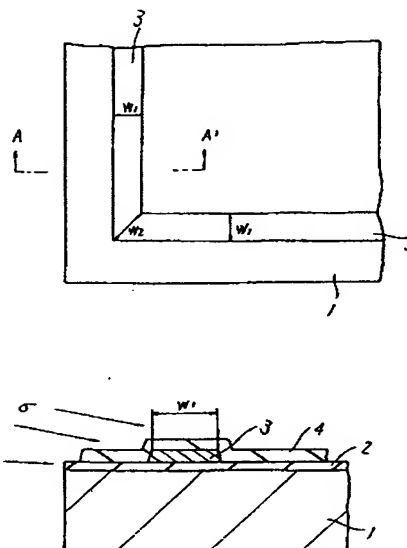
(21) Application number: **60161945**(22) Date of filing: **24.07.85**(71) Applicant: **HITACHI MICRO COMPUT ENG
LTD HITACHI LTD**(72) Inventor: **TAKAHASHI HIDEKAZU**(54) **SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1987,JPO&Japio

(57) Abstract:

PURPOSE: To protect insulating film from cracks by rendering the bond strength at the corners and periphery of a substrate greater than the thermal stress in a resin moulding process by a method wherein the width of Al wirings at such locations is defined to be not wider than $25\mu\text{m}$.

CONSTITUTION: The widths W_1 , W_2 of an Al wiring 3 formed along the periphery and at the corners of a chip 1 are rendered so narrow that they may not undergo detrimental effects produced by thermal stress in a resin moulding process. For example, the width W_1 of the Al wiring 3 along the chip periphery is made to be not wider than $25\mu\text{m}$. Again, the width W_2 (as measured along the direction from a corner to the chip center) of the Al wiring 3 is made to be approximately $50\mu\text{m}$ wide. With the wiring width being set as such, there will be no poor performance attributable to cracks, which leads to the realization of semiconductor devices with their reliability enhanced.



⑫ 公開特許公報(A)

昭62-23135

⑬ Int. Cl.⁴H 01 L 21/88
23/28

識別記号

庁内整理番号

6708-5F
Z-6835-5F

⑭ 公開 昭和62年(1987)1月31日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭60-161945

⑰ 出 願 昭60(1985)7月24日

⑱ 発 明 者 高 橋 英 一 小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑲ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社
小平市上水本町1479番地

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. 半導体基板の周辺部にそって一層又は多層のアルミニウム膜からなる配線が形成され、これら配線上又は配線間に無機絶縁膜が形成された樹脂封止形半導体装置であって、上記基板の周辺部及びコーナ近傍部の配線の幅は樹脂成形時の熱応力により影響を受けない程度に細く形成されることを特徴とする半導体装置。
2. 上記周辺部は基板寸法の1/10の幅をもつ範囲である特許請求の範囲第1項に記載の半導体装置。
3. 上記周辺部の配線の幅は25μm程度もしくはそれ以下とする特許請求の範囲第1項又は第2項に記載の半導体装置。

発明の詳細な説明

〔技術分野〕

本発明は半導体装置、特に樹脂封止半導体装置におけるアルミニウム配線起因のバッシンベージョ

ンクラック防止技術に関する。

〔背景技術〕

樹脂封止形バイポーラICにおいては、半導体基板(チップ)の周辺部にそってA₂(アルミニウム)配線を1層又は多層に形成し、配線層間及び配線層上にSiO₂などの無機絶縁膜を形成した構造が知られている。(ニッケイマグローヒル社発行 NIKKEI ELECTRONICS MICRO DEVICE 1983. 8. 22. p125)

このようなIC構造では、樹脂成形の際の熱応力によって半導体チップ表面、特に無機絶縁膜で覆われたA₂配線膜の一部にクラックが発生し、特に2層A₂配線の場合重なり合ったA₂配線層間にリークが生じて、ICの電気的特性不良を発生することが問題となることがわかった。

このようなクラックは、チップのSi半導体、無機絶縁膜(SiO₂)と封止する樹脂の熱膨張率の違いにより、半導体基板表面に収縮応力が加わり、無機絶縁膜に比して軟いA₂配線の変形によりそれに接する絶縁膜にクラックが生ずると考え

られる。

本発明者が無機2層A₂配線を有する樹脂成形半導体装置について熱ストレス試験を行った結果によれば、上記のようなクラックは特にチップのコーナ部及びチップ周辺部に多く発生することがわかってきた。

〔発明の目的〕

本発明は上記した点を考慮してなされたものであり、その目的とするところは、ICなどの半導体装置において樹脂成形時の応力によるクラック発生を少なくし、IC特性不良を軽減することにある。

〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記のとおりである。

すなわち、基板上にA₂配線層と層上又は層間に無機絶縁膜を有する樹脂封止形半導体装置において、上記基板のコーナ部及び周辺部における上記A₂配線の幅を25μm以内に規定することにより、この部分での絶縁膜の接着強度を樹脂成形

理由で効果が得られる。

樹脂成形の際に高温溶融レジン重合体が冷却収縮するとき、樹脂の熱膨張率がSi半導体基板及びSiO₂などの無機絶縁膜の熱膨張率よりも大きいことにより、第2図に矢印で示す方向にストレスを生じる。

このストレスσのチップ平面(第3図)における分布状態は、第4図に示すようにチップ中心部Oでは小さく、チップ周辺部、コーナ部になるにしたがって大きくなることが実験により明らかにされている。

このようなストレスに対応し、絶縁膜にクラックを生じないA₂配線の幅とチップにおける位置との関係は、同図において、ストレス曲線に直交する線A、B、C……により示される。

周辺部及びコーナ部におけるA₂配線の幅を細くする範囲は、たとえば下記のようにして決定される。

第3図に示すチップ平面における寸法を縦x(たとえば5mm)、横y(たとえば5mm)とする

時の熱応力より強くさせ絶縁膜のクラックの発生を少なくするものである。

〔実施例1〕

第1図及び第2図は本発明の一実施例を示すものであって、第1図は1層A₂配線構造の半導体装置の一部平面図、第2図は第1図におけるA-A断面図である。

1はSi半導体基板(チップ)、2は表面酸化物(SiO₂)膜、3はA₂配線、4はCVD(気相化学堆積)・PSG(リンシリコン酸化物ガラス)からなる表面保護絶縁膜である。同図に示すチップ1の周辺部及びコーナ部に形成されるA₂配線3の幅W₁、W₂を樹脂成形時の熱応力により影響を受けない程度に細く形成してある。

たとえばチップ周縁にそった位置にある配線の幅W₁を25μm程度以下とする。また、コーナ部近傍にある配線の幅(コーナ部と中心部とを結ぶ方向にそった幅)W₂を50μm程度とする。

〔本発明の作用効果〕

実施例で述べたような本発明によれば、下記の

場合、周辺部にそったチップ寸法の1/10すなわち $\frac{1}{10}x, \frac{1}{10}y$ (0.5mm)の幅の範囲で、又、コーナ部では2/10xy(1.0mm)の幅の範囲でA₂配線幅W₁≤25μm W₂≤50μmとすることにより、ストレスの影響を小さくし、一方、A₂配線を覆う無機絶縁膜の配線変形移動抑止強度が相対的に大きくなるように作用してクラックの発生が低減する。A₂配線の幅はマスクパターンを変えることにより容易に規定される。

このように配線の幅を規定することによりクラックに起因する特性不良がなくなり、半導体装置の高信頼性が得られる。

〔実施例2〕

第5図及び第6図は本発明の他の一実施例を示すものであって、第5図は2層A₂配線構造の半導体装置の一部平面図、第6図は第5図におけるB-B断面図である。1はSi基板(チップ)、2はSiO₂膜、3は第1層A₂配線、5はPSGからなる層間絶縁膜、6は第2層A₂-Si配線、7は保護用絶縁膜である。

この実施例2において、A₂配線3、6はいずれもチップ周辺部にあり、配線幅W₁を25μm以下に形成することにより樹脂成形時のストレスの影響を最小限としクラックの発生を防止している。

〔利用分野〕

本発明は無機絶縁膜(PSG、CVD・SiO₂、Si₃O₄)を配線保護膜、配線層間膜に使用した1層、2層又は2層以上のA₂配線構造を有する樹脂封止半導体装置一般に適用することができる。

図面の簡単な説明

第1図、第2図は本発明の一実施例を示し、第1図は半導体チップの一部平面図、第2図は第1図におけるA-A断面図である。

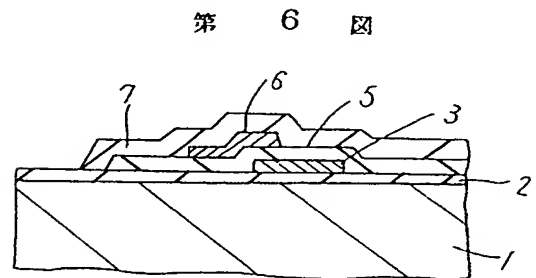
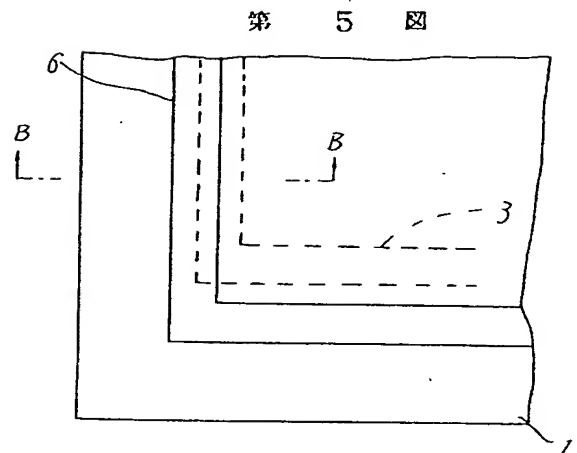
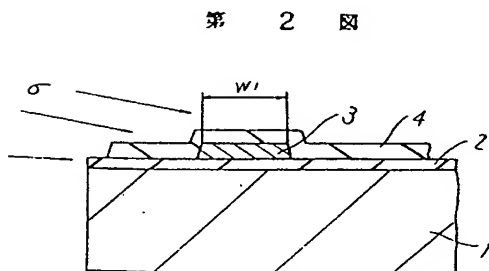
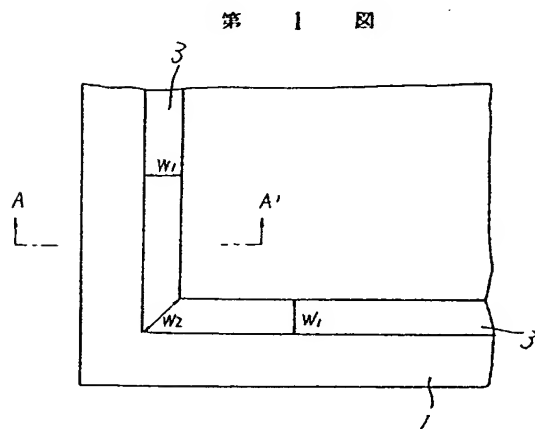
第3図はチップの全体平面図、

第4図はA₂配線の位置と配線幅及び応力との関係を示す曲線図である。

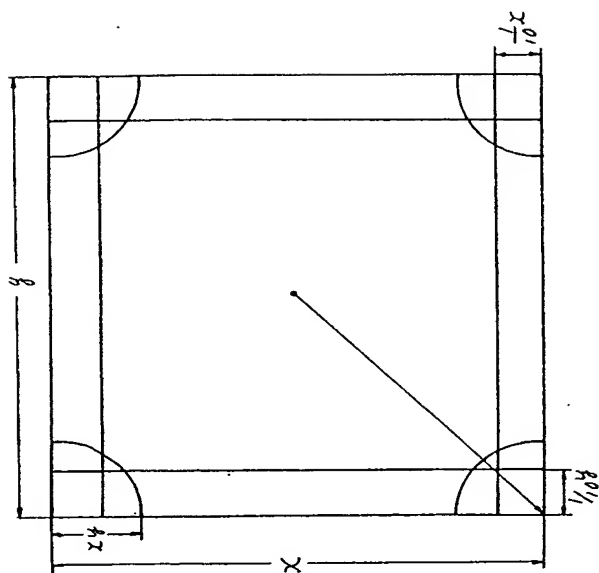
第5図、第6図は本発明の他の一実施例を示し、第5図は半導体チップの一部平面図、第6図は第5図におけるB-B断面図である。

1…Si半導体チップ、2…表面SiO₂膜、3…第1層A₂配線、4…PSG膜、5…PSGからなる層間膜、6…第2層A₂配線、7…表面保護絶縁膜。

代理人 弁理士 小川 勝 男



第 3 図



第 4 図

